

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2005年4月28日 (28.04.2005)

PCT

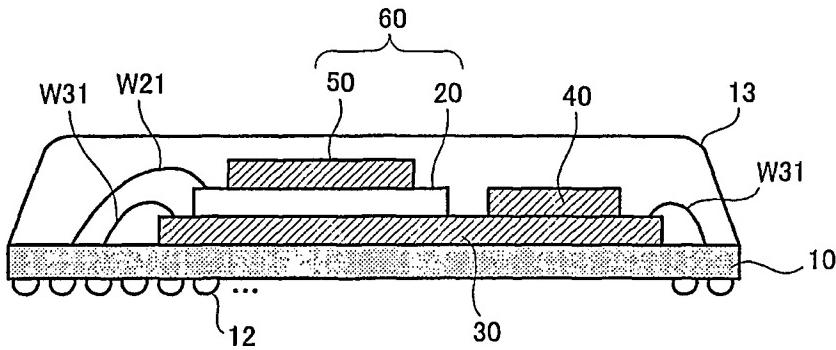
(10)国際公開番号
WO 2005/038917 A1

- (51)国際特許分類7: H01L 25/065, 25/07, 25/18
(72)発明者; および
(21)国際出願番号: PCT/JP2003/016012
(75)発明者/出願人(米国についてのみ): 中島 盛義
(22)国際出願日: 2003年12月15日 (15.12.2003)
NAKASHIMA,Morlyoshi) [JP/JP]; 〒660-0083 兵庫県
(25)国際出願の言語: 日本語
尼崎市道意町7丁目1番3号尼崎リサーチ・イ
(26)国際公開の言語: 日本語
ンキュベーションセンター株式会社GENUSION内
(30)優先権データ:
Hyogo (JP). 小林 和男 (KOBAYASHI,Kazuo) [JP/JP];
特願2003-359896
2003年10月20日 (20.10.2003) JP
〒660-0083 兵庫県尼崎市道意町7丁目1番
(71)出願人(米国を除く全ての指定国について): 株式会社
3号尼崎リサーチ・
GENUSION (GENUSION INC.) [JP/JP]; 〒660-0083 兵
庫県尼崎市道意町7丁目1番3号尼崎リサーチ・
インキュベーションセンター Hyogo (JP).
インキュベーションセンター株式会社GENUSION内 Hyogo (JP).
(74)代理人: 小森 久夫, 外 (KOMORI,Hisao et al.); 〒
540-0011 大阪府大阪市中央区農人橋1丁目4番
34号 Osaka (JP).

[締葉有]

(54) Title: PACKAGE STRUCTURE AND PACKAGING METHOD OF SEMICONDUCTOR DEVICE

(54)発明の名称: 半導体装置のパッケージ構造およびパッケージ化方法



(57) Abstract: A semiconductor chip mount sub-substrate (60) is produced by wire bonding a semiconductor chip (50) and a sub-substrate (20) on the upper surface of the sub-substrate (20) provided with a terminal (21) for connection with the terminal (51) of the semiconductor chip (50) and a different terminal (22). A semiconductor chip (30) is mounted on the upper surface of a package substrate (10), the semiconductor chip mount sub-substrate (60) is bonded onto the semiconductor chip (30) and wire bonding is performed between the terminal (22) and a terminal (11'). When one packaged semiconductor device is produced by assembling a plurality of semiconductor chips, KGD (Known-Good-Die) of each semiconductor chip is guaranteed readily so that the semiconductor device can be produced with a high acceptance rate. Furthermore, position, pitch, signal arrangement, and the like, of each semiconductor chip can be utilized as they are with no restriction.

(57) 要約: 半導体チップ (50) の端子 (51) を接続する端子 (21) とそれとは別の端子 (22) を形成したサ
ブ基板 (20) の上面に半導体チップ (50) とサブ基板 (20) との間をワイヤボンディングして半導体チップ
マウントサブ基板 (60) を構成する。パッケージ基板 (10) の上面には半導体チップ (30) をマウントし、
半導体チップマウントサブ基板 (60) を半導体チップ (30) の上部に接着し、端子 (22) と端子 (11')
との間をワイヤボンディングする。このようにして、複数の半導体チップを組み込んで1つのパッケージ化された
半導体装置を構成する際に、各半導体チップのKGD (Known-Good-Die) を容易に保証できるようにし、高い良品
率の下で半導体装置を製造可能とする。また、各半導体チップの端子の位置、ピッチ、信号配列などを制約するこ
となくそのまま利用可能とする。

WO 2005/038917 A1



- (81) 指定国(国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PII, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国(広域): ARIPO 特許 (BW, GII, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッ

パ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

半導体装置のパッケージ構造およびパッケージ化方法

5 技術分野

この発明は、半導体装置のパッケージ構造およびそのパッケージ化方法に関するものである。

背景技術

移動体通信システムの端末装置（携帯電話機）などに半導体装置
10 を用いた電子機器において、その小型軽量化を図る上で半導体装置の高集積化を如何に高めるかは常に重要である。これまで半導体回路の微細化が順調に進んでいたときには可能な限りの回路を1チップ化して、実装面積の縮小化、高速化、消費電力の低減化というメリットを生かしてきた。ところが、半導体回路の微細化に伴う製造コストの急騰と設計開発期間の長
15 期化という問題が顕在化してきた。

そこで、複数の半導体チップを3次元実装するSIP (System in Packag
e) 技術が注目されている。例えば図9に示すように、パッケージ基板10
の上に半導体チップ30をマウントし、この半導体チップ30の上にさらに別の半導体チップ40をマウントし、これらの半導体チップ30, 40
20 とパッケージ基板10との間をワイヤWでワイヤボンディングしている。
この技術については、日経エレクトロニクス2002, 2-11 no. 815 p108 「第
1部 チップがダメならパッケージがある」に紹介されている。

しかし、従来のSIPでは、異なったプロセスによる半導体チップを単一のパッケージに収めることができ、実装基板に対する実装面積の縮小化
25 が図れる。このように複数の半導体チップを1つのパッケージ内に収めて半導体装置を構成する場合、良品率を如何に高めるかが課題となる。すなわち、各半導体チップはウエハ状態でウエハプローブテストを行い、良品

と見なされた半導体チップのみをパッケージ基板などに搭載することになる。

ところが、複数の半導体チップを組み合わせるアセンブルメーカー側では、例えば異なった半導体チップの端子（電極）間をワイヤボンディングしてS I Pを構成する場合に、両半導体チップの端子の形成位置、端子ピッチ、信号線の順番などを予め固定的に設計しなければならず、設計上の自由度が低下してしまい、開発期間を短縮化できる筈のS I Pの特質がうまく活かせないといった問題があった。

また、半導体チップを供給するメーカー側では、ウエハ状態で半導体チップのすべての動作試験は行うことができず、例えば、高温連続動作試験（Burn-in）によるスクリーニング等の信頼性試験を完全に行うことはできなかった。そのため、ウエハから切り出した後の半導体チップを個別に良否判定し、その結果、K G D（Known-Good-Die：検査済み良品チップ）を保証する半導体チップが得られる。ところが、ウエハから切り出したままの半導体チップ（ペアチップ）の状態でこのような判定を行うためには、各半導体チップの端子（電極）に対して電気的に接続するための装置や専用の試験装置が個々に必要となり、そのためコストが嵩むといった問題があった。

そこで、この発明の目的は、複数の半導体チップと組み合わせる際に、各半導体チップの外部接続用端子の位置、ピッチ、信号配列などを制約することなく半導体チップ間の電気的接続を容易に行えるようにして、上述の問題を解消した半導体装置のパッケージ構造およびパッケージ化方法を提供することにある。

また、この発明の別の目的は、半導体チップを供給するメーカー側では、S I Pを構成する半導体チップのK G D（Known-Good-Die）を容易に保証できるようにし、S I Pを製造するアセンブルメーカー側では、K G Dの半導体チップを用いて高い良品率の下でS I Pを製造できるようにした半

導体装置のパッケージ構造およびパッケージ化方法を提供することにある。

発明の開示

- (1) この発明は、マウントすべき半導体チップの端子を接続する内部端子、該半導体チップの端子以外の端子を接続する外部端子、および該外部端子と前記内部端子との間を電気的に接続する導体配線を形成したサブ基板に半導体チップがマウントされてなる半導体チップマウントサブ基板と、
- 複数の半導体チップを搭載する基板状またはフレーム状の基材とを備え、前記半導体チップマウントサブ基板を他の半導体チップとともに前記基材に搭載し、これらの半導体チップマウントサブ基板と他の半導体チップを前記基材とともに樹脂封止したことを特徴としている。
- (2) また、この発明は、(1)において前記半導体チップマウントサブ基板を、前記基材に搭載した半導体チップ上に搭載したことを特徴としている。
- (3) また、この発明は、(1)において前記半導体チップマウントサブ基板を複数備え、それらの半導体チップマウントサブ基板を前記基材上に積層配置したことを特徴としている。
- (4) また、この発明は、(1)において前記半導体チップマウントサブ基板を、前記サブ基板を挟んで該サブ基板の両面に半導体チップを搭載して構成したことを特徴としている。
- (5) また、この発明は、(1)において前記半導体チップマウントサブ基板を、前記サブ基板に複数の半導体チップを積層配置して構成したことを特徴としている。
- (6) また、この発明は、(1)において前記半導体チップマウントサブ基板を、前記基材に対する前記樹脂封止とは別に前記サブ基板とともに該サブ基板に搭載した半導体チップを樹脂封止して構成したことを特徴としている。

(7) また、この発明は、(1)において前記サブ基板を、前記基材に搭載する前の状態で、所定の信頼性試験または動作試験を行うために試験装置に接続するための端子を備えていて、前記半導体チップマウントサブ基板は前記基材に搭載する前の状態で前記端子を用いて前記所定の信頼性試験または動作試験を行った後に前記端子を切り離したものとしたことを特徴としている。

(8) また、この発明は、マウントすべき半導体チップの端子を接続する内部端子と、該半導体チップの端子以外の端子を接続する外部端子と、該外部端子と前記内部端子との間を電気的に接続する導体配線とを形成したサブ基板に半導体チップをマウントして半導体チップマウントサブ基板を構成し、該半導体チップマウントサブ基板を基板状またはフレーム状の基材に搭載し、該基材とともに前記半導体チップマウントサブ基板を一括して樹脂封止することにより半導体装置をパッケージ化することを特徴としている。

(9) また、この発明は、(8)において、前記基材に搭載する前の状態で、前記サブ基板に試験装置を接続するための端子を設けておき、当該端子に前記試験装置を接続して所定の信頼性試験または動作試験を行い、該信頼性試験または動作試験を行った後に前記端子を切り離して半導体チップマウントサブ基板を構成し、該半導体チップマウントサブ基板を前記基材に搭載することを特徴としている。

図面の簡単な説明

図1は、第1の実施形態に係る半導体装置のパッケージ構造を示す平面図である。図2は、同半導体装置の主要部の断面図である。図3は、第2の実施形態に係る半導体装置の構造を示す平面図である。図4は、第3の実施形態に係る半導体装置の構造を示す断面図である。図5は、第4の実施形態に係る半導体装置の構造を示す断面図である。図6は、第5の実施形態に係る4つの半導体装置の構造を示す断面図である。図7は、第6の

実施形態に係る半導体装置に用いる半導体チップマウントサブ基板の試験方法を示す図である。図8は、同半導体装置のサブ基板のテストを含む半導体装置全体の組立工程を示すフローチャートである。図9は、従来の半導体装置の構成を示す断面図である。

5 発明を実施するための最良の形態

第1の実施形態である半導体装置のパッケージ構造およびそのパッケージ化方法について、図1・図2を基に説明する。

図1は半導体装置の平面図、図2はその主要部の断面図である。図1・図2においてパッケージ基板10の上面には半導体チップ30をダイボンディングしている。半導体チップ50はサブ基板20にマウントしている。このサブ基板20と半導体チップ50とで半導体チップマウントサブ基板60を構成している。この半導体チップマウントサブ基板60はその下面(サブ基板20の下面)を半導体チップ30に接着することによって搭載している。またこれとは別に、半導体チップ40を半導体チップ30の上に搭載している。

パッケージ基板10の上面には複数の端子11, 11'を配列形成している。またパッケージ基板10の下面には複数の半田ボール12を配列形成している。このパッケージ基板10の上面の端子11, 11'と下面の半田ボール12との間はパッケージ基板10内部の配線層を介して電気的に導通させている。

半導体チップ30の上面の周囲に配列した端子とパッケージ基板10の上面に配列した端子11との間はワイヤW31によりワイヤボンディングしている。半導体チップ50の上面には端子51を形成している。またサブ基板20の上面には、この発明に係る「内部端子」に相当する端子21を形成していて、両者の間をワイヤW52でワイヤボンディングしている。

またサブ基板20の上面には、この発明に係る「外部端子」に相当する端子22を形成している。これらの端子22と端子21との間はサブ基板

20 内部の配線層を介して電気的に導通させている。サブ基板 20 の端子 22 とパッケージ基板 10 の端子 11' との間はワイヤ W21 でワイヤボンディングしている。このようにサブ基板 20 で端子の位置を変換することによって、半導体チップの外部接続用端子（パッド）の位置、ピッチ、
5 信号配列などを変更することなく、既に存在する半導体チップをそのまま用いて電気的接続を容易に行えるようになる。

また、このようにして半導体チップマウントサブ基板 60 を KGD の半導体チップのように扱って、他の半導体チップと共にパッケージ基板上に搭載することができる。

10 なお、この例では、半導体チップ 40 は半導体チップ 30 とともに S I P として用いるように既に設計されているのでサブ基板を用いていない。この半導体チップ 40 の上面の端子 41 と半導体チップ 30 の上面に形成した端子 31 との間はワイヤ W43 でワイヤボンディングしている。さらに、半導体チップ 40 の所定の端子 41' とパッケージ基板上の端子 1
15 1' との間はワイヤ W41 でワイヤボンディングしている。

図 1 に示した例では、パッケージ基板 10 上部の樹脂封止を行う前の状態を示している。図 2 に示したように、パッケージ基板 10 の上面には半導体チップ 30, 40、半導体チップマウントサブ基板 60 およびそれらの間を接続するワイヤの全体を封止樹脂 13 で樹脂封止している。

20 ここで、半導体チップ 30 は他の半導体チップであり、そのサイズは例えば 8.5 mm × 8.5 mm である。半導体チップ 40 はその他の半導体チップである。サブ基板 20 上の半導体チップ 50 は例えば 32M × 32 ビットのDRAM であり、そのサイズは例えば 3.0 mm × 5.7 mm である。この半導体チップ 50 は、その短辺に端子 51 を配列しているので、
25 サブ基板 20 の半導体チップ 50 の短辺に沿った位置に端子 21 を配列している。このことによりワイヤ W52 のワイヤ長が短くてすむようにしている。またパッケージ基板 10 上の端子 11' 寄りで半導体チップ 50 の

一方の長辺に沿ったサブ基板 20 上の所定位置に端子 22 を配列形成している。そして、このサブ基板 20 をパッケージ基板 10 上の端子 11' 寄りに配置することによって、ワイヤ W21 のワイヤ長を短くてすむようにしている。

- 5 図 3 は第 2 の実施形態に係る半導体装置の平面図である。図 1 に示した例と異なるのは半導体チップマウントサブ基板 60 の構造である。この図 3 に示す例では、サブ基板 20 の上に 2 つの半導体チップ 50A, 50B をマウントしている。これらはそれぞれ 16M×16 ピットのDRAM であり、半導体チップの中央に端子 51 をそれぞれ形成している。このよう
10 10 に複数の半導体チップを用いる場合でも、それらを单一のサブ基板 20 上にマウントすることにより、この半導体チップマウントサブ基板 60 を 3 2M×16 ピットまたは 16M×32 ピットのDRAM であるかのように扱うことができる。

また、端子がチップの中央に配列されている半導体チップを用いる場合
15 15 でも、サブ基板 20 上で各半導体チップの端子に最も近接する位置に端子 21 を配置することにより、各半導体チップ 50A, 50B の端子 51 とサブ基板 20 上の端子 21 との間のワイヤ W52 のワイヤ長が短くてすむようにしている。

図 4 は第 3 の実施形態に係る半導体装置の主要部の断面図である。サブ
20 基板 20 の上面に 2 つの導体チップ 50A, 50B をマウントし、ワイヤボンディングすることによって半導体チップマウントサブ基板 60 を構成している。サブ基板 20 には、半導体チップ 50A-50B 間の電気的接続を行う配線を設けている。パッケージ基板 10 の上部には半導体チップ 30 をボンディングしていて、この半導体チップ 30 の上面に半導体チップマウントサブ基板 60 を搭載している。また、他の半導体チップ 40 も搭載している。

図 1 ~ 図 3 に示した例と異なり、この例ではサブ基板 20 上部の半導体

チップ 50A, 50B の周囲を封止樹脂 23 で樹脂封止している。このよ
うに半導体チップマウントサブ基板 60 の状態で半導体チップを樹脂封止
した状態とすることにより、半導体チップマウントサブ基板 60 を半導体
チップ 30 に接着する際のハンドリングが容易となる。また、半導体チッ
5 プ 50A, 50B 周囲の環境を清浄に保ったまま半導体チップマウントサ
ブ基板 60 の状態で工程間を搬送することが容易となる。なお、上記封止
樹脂 23 は最終的にパッケージ基板 10 上部の封止樹脂 13 によって覆わ
れ、半導体装置の外部には露出しないので、封止樹脂 13 のような機械的
強度を必要とせず、簡易な方法で樹脂封止すればよい。例えばトランスフ
10 ァーモールド法などによらずに液状樹脂をポッティングする方法によって
樹脂封止する。

なお、図 4 に示した例では、半導体チップマウントサブ基板 60 のサブ
基板 20 の上面に設けた端子と半導体チップ 30 の上面に設けた端子との
間をワイヤ W23 でワイヤボンディングしている。このようにして、パッ
15 ケージ基板 10 を介さずに半導体チップマウントサブ基板 60 の半導体チ
ップとは別の半導体チップとの間の電気的接続をとることも可能である。

図 5 は第 4 の実施形態に係る半導体装置の主要部の断面図である。第 1
～第 4 の実施形態ではパッケージ基板を基材としてパッケージ化したが、
この図 5 に示す例では、リードフレーム 9 を基材として用い、複数の半導
20 体チップをパッケージ化している。リードフレーム 9 の中央部には、半導
体チップ 30 をダイボンディングしている。この半導体チップ 30 の上部
には半導体 50 とサブ基板 20 による半導体チップマウントサブ基板 60
と、単体の半導体チップ 40 とをそれぞれ搭載している。そして、半導体
チップ 30 とリードフレーム 9 のインナーリード部分との間をワイヤ W3
25 9 でワイヤボンディングしている。半導体チップ 40 とリードフレーム 9
のインナーリードとの間はワイヤ W49 でワイヤボンディングしている。
サブ基板 20 の端子とリードフレーム 9 のインナーリードとの間はワイヤ

W 2 9 でワイヤボンディングしている。これらの複数の半導体チップ部分およびワイヤ部分は封止樹脂 1 3 で樹脂封止している。このようにして、リードフレーム 9 のアウターリードが封止樹脂 1 3 の外部に突出したリード端子付き半導体装置が構成できる。

- 5 図 6 は第 5 の実施形態に係る半導体装置のパッケージ構造およびパッケージ化方法について示している。これらはいずれも主要部の断面図である。
(A) の例ではサブ基板 2 0 の両面に半導体チップ 5 0 をそれぞれフリップチップボンディングしている。そしてこれらの半導体チップ 5 0 の周囲を封止樹脂 2 3 で樹脂封止して、半導体チップマウントサブ基板 6 0 を構成している。パッケージ基板 1 0 の上面には半導体チップ 3 0 をフリップチップボンディングしている。この半導体チップ 3 0 の上部に半導体チップマウントサブ基板 6 0 を接着し、サブ基板 2 0 の上面に形成した端子とパッケージ基板 1 0 の上面にした端子との間をワイヤ W 2 1 でワイヤボンディングしている。パッケージ基板 1 0 の下面には半田ボール 1 2 を配列形成している。パッケージ基板 1 0 の上部には半導体チップ 3 0 と半導体チップマウントサブ基板 6 0 を含む全体を封止樹脂 1 3 で樹脂封止している。なお、この図 6 では封止樹脂 1 3 の外形のみ表している。
- 10 15 20 25

図 6 の (B) の例では、サブ基板 2 0 に 2 つの半導体チップ 5 0 を積層配置している。この例では半導体チップ 5 0 とサブ基板 2 0 との間をワイヤボンディングしている。そしてこれらの半導体チップ 5 0 の周囲を封止樹脂 2 3 で樹脂封止している。パッケージ基板 1 0 の上面には半導体チップ 3 0 をフリップチップボンディングしていく、この半導体チップ 3 0 の上部に半導体チップマウントサブ基板 6 0 を接着し、サブ基板 2 0 とパッケージ基板 1 0 との間をワイヤ W 2 1 でワイヤボンディングしている。その他の構成は (A) の場合と同様である。なお、サブ基板 2 0 に対して半導体チップ 5 0 をフリップチップボンディングしてもよい。また半導体チップ上に別の半導体チップをフリップチップボンディングするようにして

もよい。

図6の(C)の例では、サブ基板20Aに半導体チップ50Aをフリップチップボンディングしてなる第1の半導体チップマウントサブ基板60Aと、サブ基板20Bに半導体チップ50Bをフリップチップボンディングしてなる半導体チップマウントサブ基板60Bとを備えている。また、パッケージ基板10の上面には半導体チップ30をフリップチップボンディングしている。

この半導体装置を製造する場合、まずパッケージ基板10に半導体チップ30をフリップチップボンディングし、半導体チップ30の上面に第1の半導体チップマウントサブ基板60Aを接着し、そのサブ基板20A上面とパッケージ基板10のそれぞれの端子間をワイヤW21Aでワイヤボンディングする。続いて半導体チップマウントサブ基板60Aの上面(半導体チップ50Aの上面)に接着シート70を置いて第2の半導体チップマウントサブ基板60Bを第1の半導体チップマウントサブ基板60Aに接着固定する。この接着シート70は第2の半導体チップサブ基板60Bのサブ基板20Bの下面側に予め設けておいてもよい。この状態で、サブ基板20B上面の端子とパッケージ基板10上面の端子との間をワイヤW21Bでワイヤボンディングする。その後、パッケージ基板10の上部を封止樹脂13で樹脂封止する。このように複数の半導体チップマウントサブ基板60を積層配置することによって、実装基板への実装時の占有面積を増すことなく、多数の半導体チップを備えた半導体装置を構成することができる。

図6の(D)に示す例では、2つの半導体チップマウントサブ基板60A、60Bをパッケージ基板10に対して水平方向に配置している。これらの半導体チップマウントサブ基板60A、60Bは、サブ基板20A、20Bの上面に半導体チップ50A、50Bをそれぞれフリップチップボンディングして構成している。パッケージ基板10の上面には半導体チッ

9 A, 9 B をそれぞれフリップチップボンディングしている。これらの半導体 9 A, 9 B の上面に、半導体チップマウントサブ基板 60 A, 60 B を接着している。そして、それらのサブ基板 20 A, 20 B の上面の端子とパッケージ基板 10 の端子との間をワイヤ W21 でワイヤボンディングしている。その他の構成は (A) ~ (C) と同様である。このように複数の半導体チップマウントサブ基板 60 を水平配置したことにより、厚みを増すことなく、多くの半導体チップをパッケージ内に備えた半導体装置が得られる。

以上に示した例では、いずれもサブ基板 20 とパッケージ基板 10 の間をワイヤで接続したが、サブ基板の周囲に外部端子を配列しておき、それらの外部端子をパッケージ基板上の端子に圧接により電気的且つ機械的に接合させるようにしてもよい。また、サブ基板の接合面（パッケージ基板等に対向する面）に外部端子として半田バンプを形成しておき、パッケージ基板上の端子やパッケージ基板に搭載した半導体チップ上の端子に、上記半田バンプを接合するようにしてもよい。

次に、半導体チップマウントサブ基板を KGD 化するための方法について、図 7・図 8 を参照して説明する。

図 7 の (B) は複数の半導体チップマウントサブ基板の信頼性試験および動作試験を行う状態である「切り離し前サブ基板」 200 を示している。
20 (A) はその切り離し前サブ基板 200 のうち 1 つの単位であるテスト時サブ基板単位 20' を拡大図示している。テスト時サブ基板単位 20' には半導体チップ 50 をマウントしていて、この半導体チップ 50 の端子 51 とサブ基板側の端子 21 との間をワイヤ W52 でワイヤボンディングしている。サブ基板には端子 21 の配列ピッチより大きなピッチで試験用端子 25 を形成していて、この試験用端子 25 と端子 21 との間をそれぞれ配線 24 で結んでいる。図中 2 点鎖線で示す範囲が切り離し後にサブ基板 20 となる領域であり、この領域を切り離した後に半導体チップマウント

サブ基板として用いる。なお、外部端子（図1では端子22に相当する端子。）については図7では省略している。

図7の（B）に示した切り離し前サブ基板200の状態で、各試験用端子25に対して試験装置を接続し、各種の信頼性試験および動作試験を行う。例えは前述した高温連続動作試験（Burn-in）などのスクリーニングを行う。そして、半導体チップ50およびサブ基板20による良品の半導体チップマウントサブ基板を選別する。

なお、上記サブ基板の領域20を切り離した後、端子21から試験用端子25へ延びる配線24の一部（図中Pで示す配線24部分）がサブ基板20に残ることになる。ただ、第1～第5の各実施形態で参照した各図では、このサブ基板20に残る上記配線部分は図面の明瞭化のために図示していない。

図8は上記サブ基板のテストを含む半導体装置全体の組立工程を示すフローチャートである。まずサブ基板については、サブ基板にマウントする半導体チップのウエハ状態でテストを行う。（S11）。その後、ウエハの裏面を研磨して所定厚みまで薄くし（S12）、ウエハダイシングによって個別の半導体チップ50に分離する（S13）。これらの半導体チップのうち良品と見なされた半導体チップ50をサブ基板20へマウントする（S14）。続いて必要に応じて半導体チップ部分を樹脂封止する（S15）。その後、上述の信頼性試験および動作試験を行い、それぞれの半導体チップについて良否判定を行う（S16）。しかる後、各サブ基板20領域の切り離しを行う（S17）。

一方、本体部分について、まずパッケージ基板10にマウントする半導体チップのウエハ状態でのテストを行う（S21）。その後、ウエハ研磨、ウエハダイシングを行い（S22→S23）、各半導体チップ30をパッケージ基板10に搭載する（S24）。その後、上述のKGDである半導体チップマウントサブ基板60を搭載する（S25）。続いてパッケージ

基板 10 の上部を樹脂封止し、個別のパッケージ基板に切り離す（S 2
6）。そして各半導体装置について、上述のサブ基板に対して行ったもの
と同様の各種信頼性試験および動作試験を行う（S 27）。このようにし
て良品の半導体装置を得る。上記ステップ S 26 を行う代わりに、パッケ
5 ページ基板の切り離し前に複数の半導体装置について試験を行い、その後に
樹脂封止し、パッケージ基板として切り離してもよい（S 26'）。

なお、実施例では半導体チップー半導体チップ間、パッケージ基板ーサ
ブ基板間、半導体チップーパッケージ基板間、半導体チップーサブ基板間
の各部の接続を、ワイヤボンディングやフリップチップ接続で行う旨説明
10 したが、これらの各部の一部または全部の接続を、フレキシブルなシート
上に配線を施した配線シート等を用いて接続するように構成してもよい。
すなわち、両端を端子とする複数の配線を配線シートに形成しておき、そ
れらの端子を接続すべき相手側の端子に接続するようにしててもよい。例え
ばサブ基板とパッケージ基板間を接続する場合、配線シートの一方の端子
15 をサブ基板の端子に接続し、配線シートの他方の端子をパッケージ基板の
端子に接続すればよい。

この発明によれば、マウントすべき半導体チップの端子を接続する内部
端子と、該半導体チップの端子以外の端子を接続する外部端子と、該外部
端子と前記内部端子との間を電気的に接続する導体配線とを形成したサブ
20 基板に半導体チップがマウントされてなる半導体チップマウントサブ基板
を備え、該半導体チップマウント基板を他の半導体チップとともに前記基
材に搭載するようにしたので、この半導体チップマウントサブ基板を従来
の例えば S I P を構成する複数の半導体チップのうちの一つの半導体チッ
25 プとして用いることができる。その際、半導体チップはサブ基板にマウン
トされた状態であるので、半導体チップマウントサブ基板の状態で信頼性
試験や動作試験を行うことができ、KGD を保証した半導体チップと同様
の素子としてこの半導体チップマウントサブ基板を扱うことができる。ま

- た、半導体チップ間の電気的接続を行う場合に、下部の半導体チップの端子と上部の半導体チップマウントサブ基板の端子との間を接続することになるので、個々の半導体チップの端子は個別に設計できる。または、既に設計製造された半導体チップをそのまま用いることができる。その結果、
5 低コスト化が図れる。
- また、この発明によれば、半導体チップマウントサブ基板を基材上の半導体チップ上に搭載したことにより全体の薄型化が図れる。
- また、この発明によれば、半導体チップマウントサブ基板を複数備え、それらの半導体チップマウントサブ基板を基材上に積層配置したことにより、より多くの半導体チップの積層配置構造を容易に構成できる。
10 また、この発明によれば、半導体チップマウントサブ基板の両面に半導体チップを搭載したことにより、基材に対する半導体チップマウントサブ基板の搭載面積を大きくすることなく、多くの半導体チップをパッケージ化できる。
- 15 また、この発明によれば、半導体チップマウントサブ基板をサブ基板に複数の半導体チップを積層配置して構成したことにより、基材に対する半導体チップマウントサブ基板の搭載面積を大きくすることなく、より多くの半導体チップを单一のパッケージ内にパッケージ化できる。
- また、この発明によれば、半導体チップマウントサブ基板を、基材に対する樹脂封止とは別に、サブ基板とともに該サブ基板に搭載した半導体チップを樹脂封止したことにより、半導体チップマウントサブ基板の状態でハンドリングが容易になり、半導体チップマウントサブ基板の信頼性も容易に確保できる。
20 また、この発明によれば、基材に搭載する前のサブ基板の状態で、所定の信頼性試験または動作試験を行うために試験装置に接続するための端子を備えていて、半導体チップマウントサブ基板が、それを基材に搭載する前の状態で端子を用いて所定の信頼性試験または動作試験を行った後に端
25

子を切り離したものとしたことにより、KGDを保証した半導体チップと同様の素子としてこの半導体チップマウントサブ基板を扱うことができる。

請求の範囲

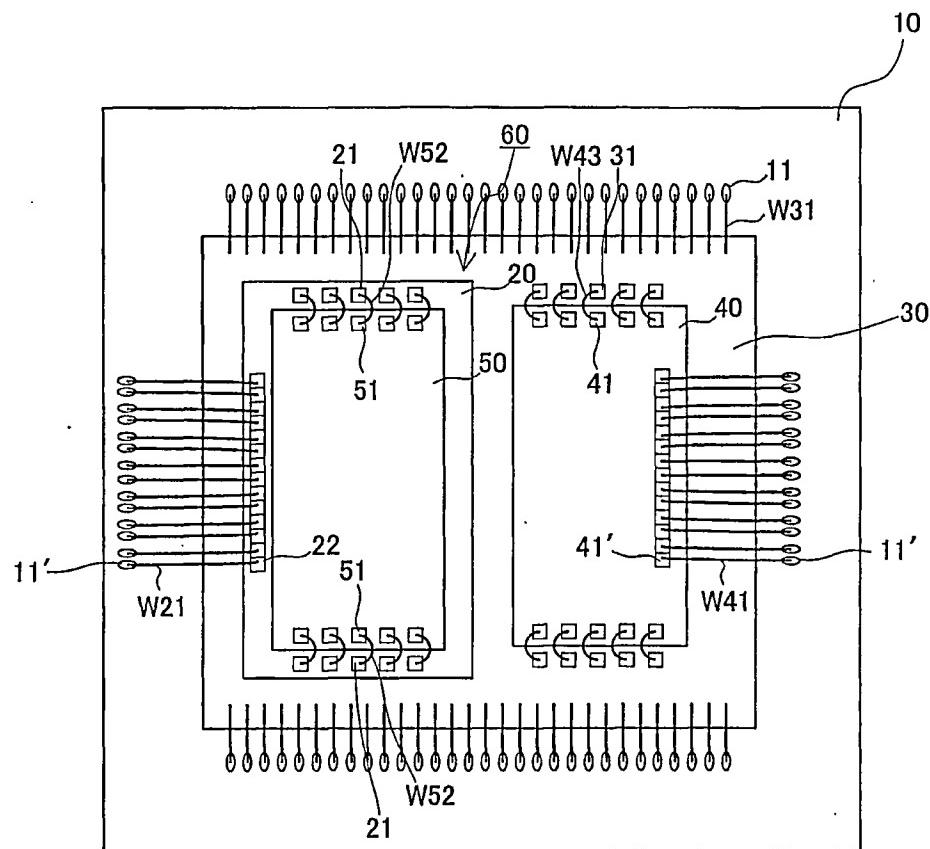
- (1) マウントすべき半導体チップの端子を接続する内部端子、該半導体チップの端子以外の端子を接続する外部端子、および該外部端子と前記内部端子との間を電気的に接続する導体配線を形成したサブ基板に半導体チップがマウントされてなる半導体チップマウントサブ基板と、
5 複数の半導体チップを搭載する基板状またはフレーム状の基材とを備え、前記半導体チップマウントサブ基板を他の半導体チップとともに前記基材に搭載し、これらの半導体チップマウントサブ基板と他の半導体チップを前記基材とともに樹脂封止したことを特徴とする半導体装置のパッケージ構造。
- (2) 前記半導体チップマウントサブ基板を、前記基材に搭載した半導体チップ上に搭載した請求項1に記載の半導体装置のパッケージ構造。
- (3) 前記半導体チップマウントサブ基板を複数備え、それらの半導体チップマウントサブ基板を前記基材上に積層配置した請求項1に記載の半導体装置のパッケージ構造。
15
- (4) 前記半導体チップマウントサブ基板は、前記サブ基板を挟んで該サブ基板の両面に半導体チップを搭載して成る請求項1に記載の半導体装置のパッケージ構造。
- (5) 前記半導体チップマウントサブ基板は、前記サブ基板に複数の半導体チップを積層配置して成る請求項1に記載の半導体装置のパッケージ構造。
20
- (6) 前記半導体チップマウントサブ基板は、前記基材に対する前記樹脂封止とは別に前記サブ基板とともに該サブ基板に搭載した半導体チップを樹脂封止して成る請求項1に記載の半導体装置のパッケージ構造。
- (7) 前記サブ基板は、前記基材に搭載する前の状態で、所定の信頼性試験または動作試験を行うために試験装置に接続するための端子を備えていて、前記半導体チップマウントサブ基板は前記基材に搭載する前の状態
25

で前記端子を用いて前記所定の信頼性試験または動作試験を行ったものである請求項 1 に記載の半導体装置のパッケージ構造。

- (8) マウントすべき半導体チップの端子を接続する内部端子と、該半導体チップの端子以外の端子を接続する外部端子と、該外部端子と前記内部端子との間を電気的に接続する導体配線とを形成したサブ基板に半導体チップをマウントして半導体チップマウントサブ基板を構成し、該半導体チップマウントサブ基板を基板状またはフレーム状の基材に搭載し、該基材とともに前記半導体チップマウントサブ基板を一括して樹脂封止することを特徴とする半導体装置のパッケージ化方法。
- (9) 前記基材に搭載する前の状態で、前記サブ基板に試験装置を接続するための端子を設けておき、当該端子に前記試験装置を接続して所定の信頼性試験または動作試験を行い、該信頼性試験または動作試験を行った後に前記端子を切り離して半導体チップマウントサブ基板を構成し、該半導体チップマウントサブ基板を前記基材に搭載することを特徴とする請求項 8 に記載の半導体装置のパッケージ化方法。

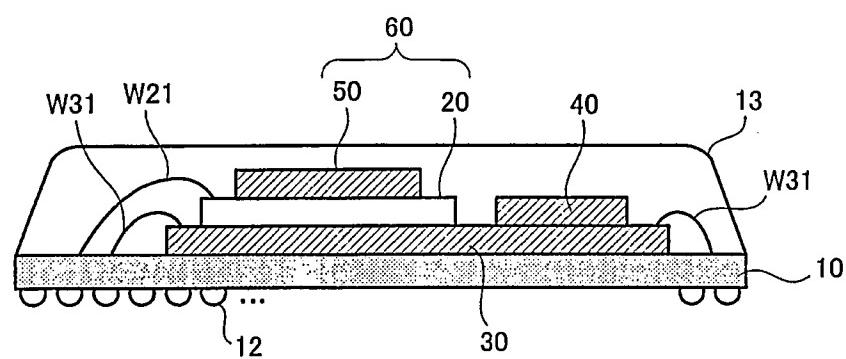
1/9

図1



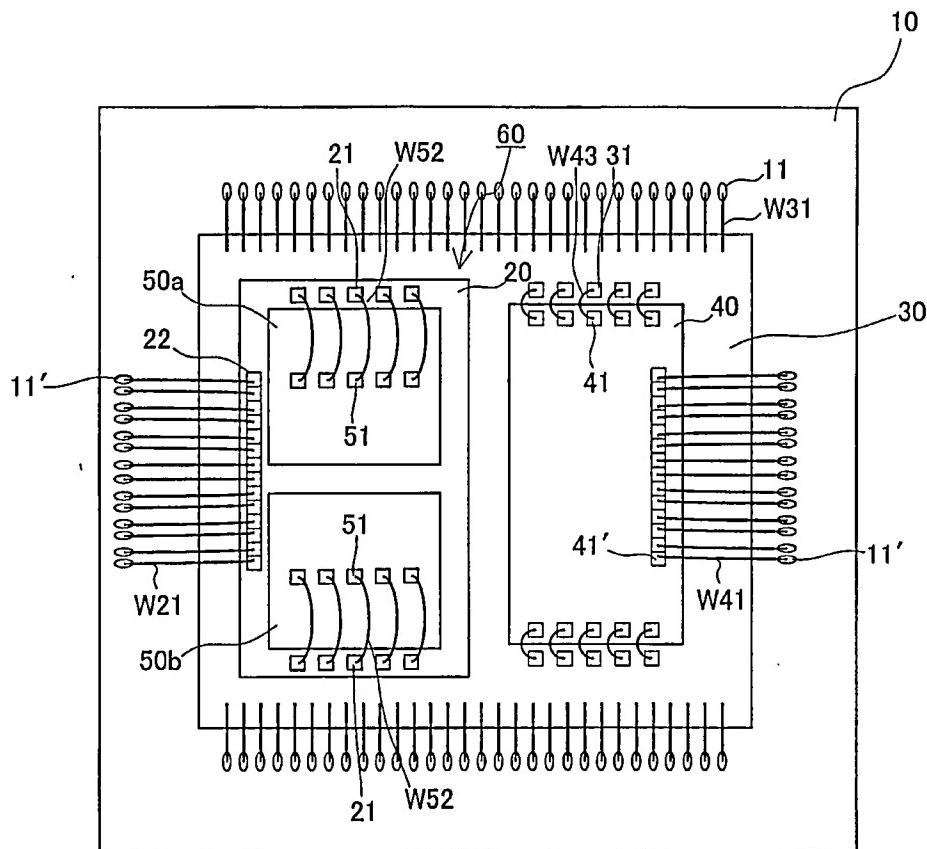
2/9

図2



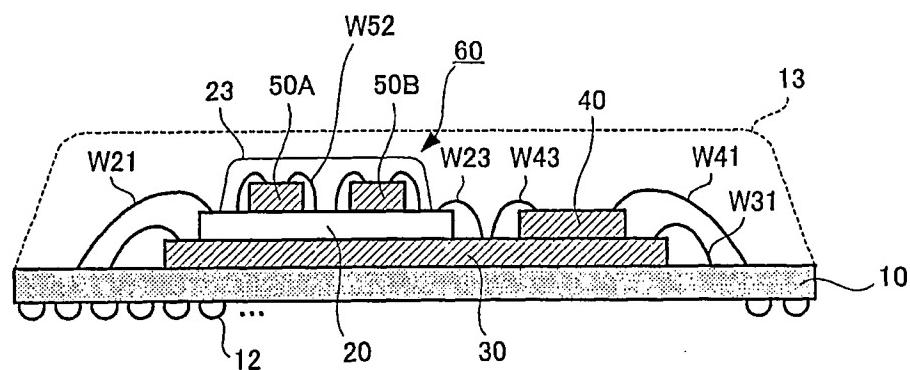
3/9

図3



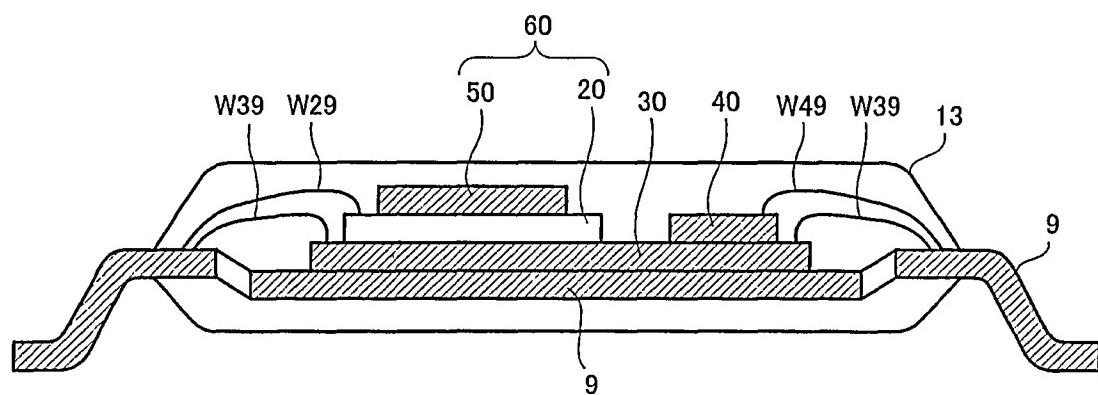
4/9

図4



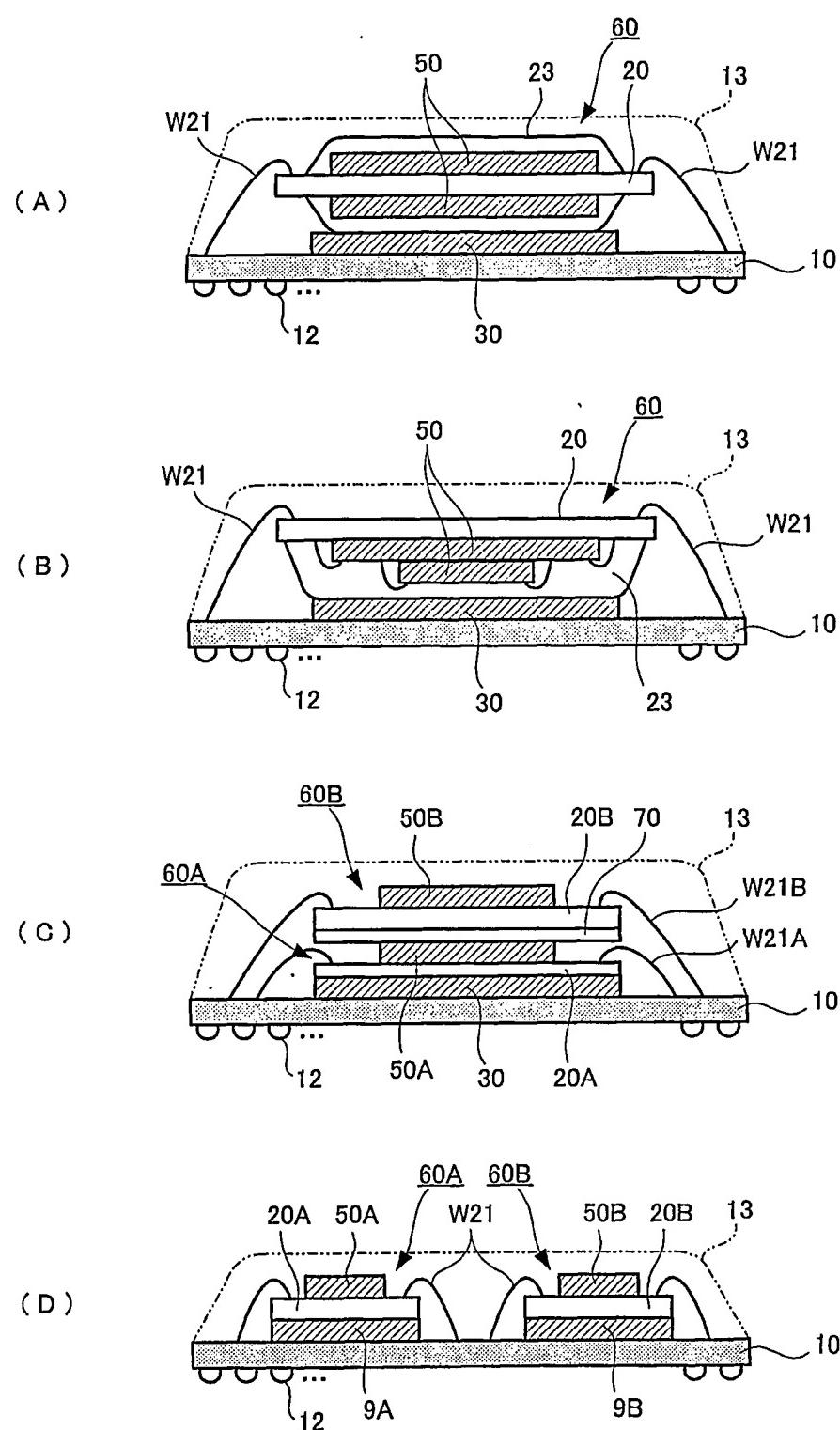
5/9

図5



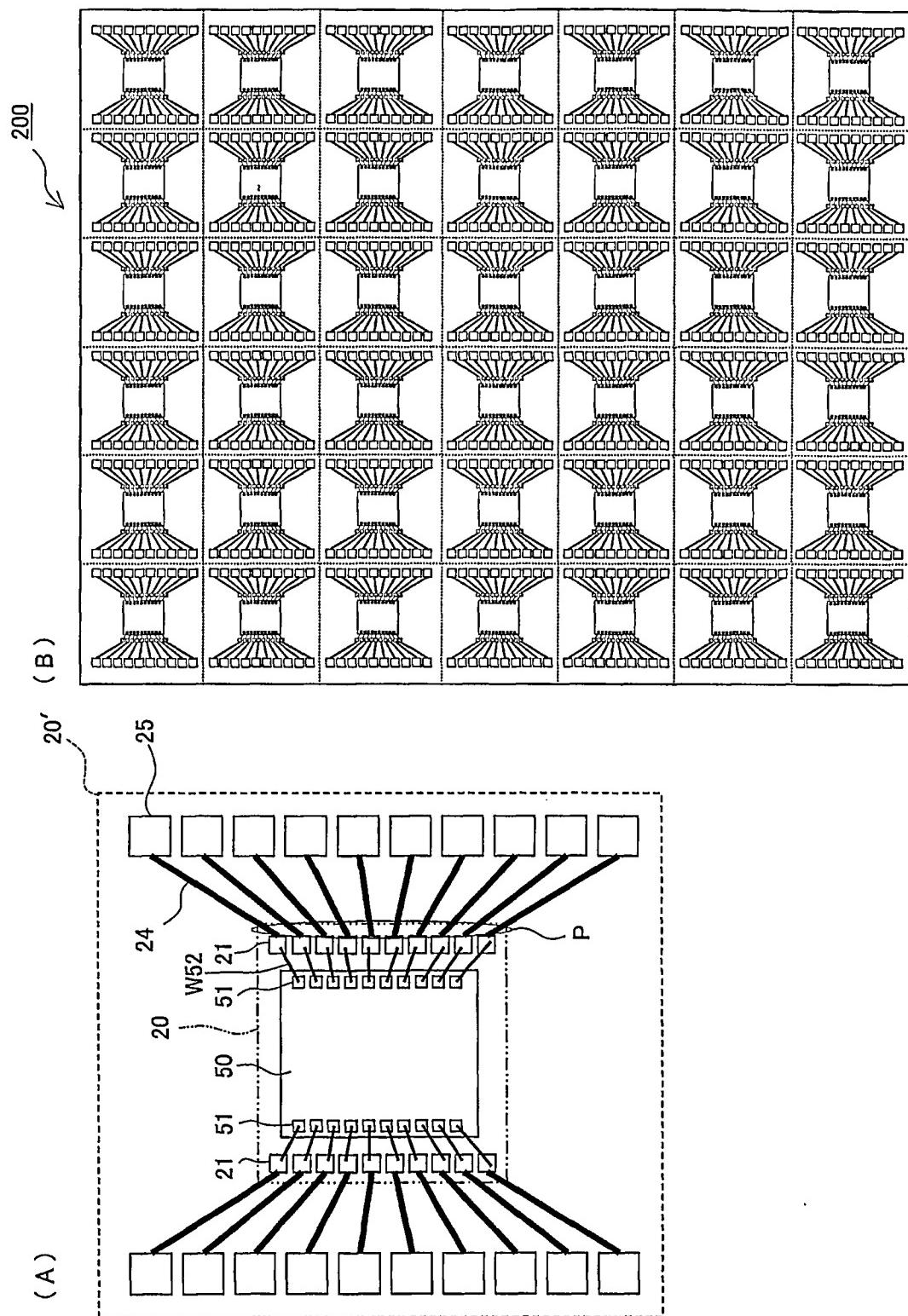
6/9

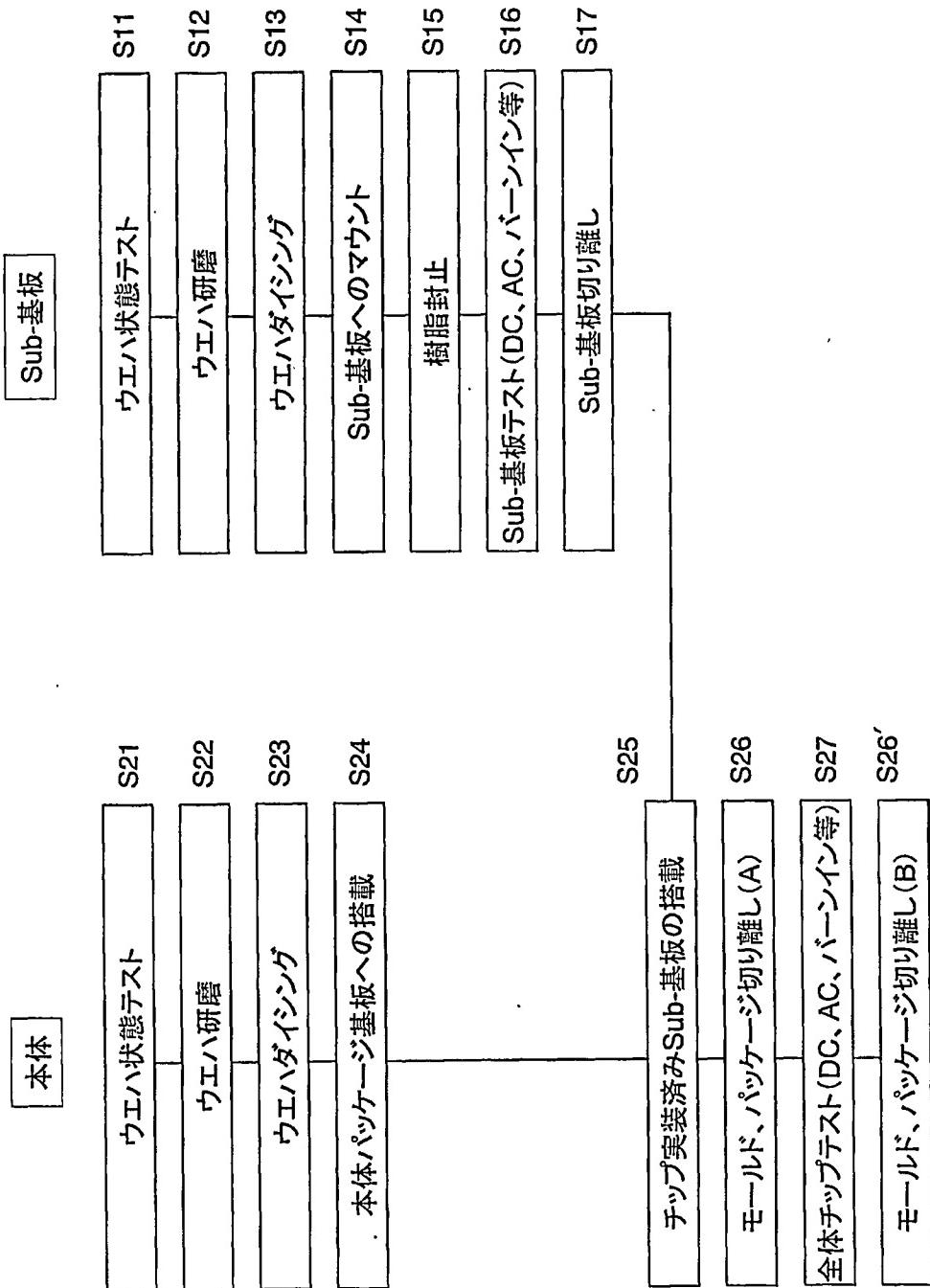
図6



7/9

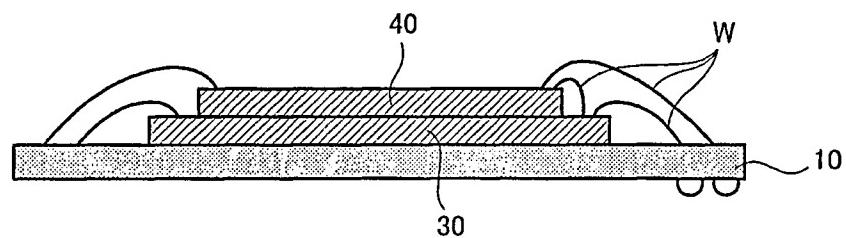
図7



8/9
図8

9/9

図9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16012

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L25/065, 25/07, 25/18

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L25/065, 25/07, 25/18, 23/12Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 5-343608 A (Hitachi, Ltd.), 24 December, 1993 (24.12.93), Column 2, line 47 to column 3, line 43; Fig. 2 (Family: none)	1-3, 6, 8 <u>4, 5, 7, 9</u>
Y	JP 10-335574 A (Nippon Telegraph And Telephone Corp.), 18 December, 1998 (18.12.98), Full text; all drawings (Family: none)	4, 5, 7, 9
Y	JP 62-134939 A (Sony Corp.), 18 June, 1987 (18.06.87), Page 2, upper right column, line 12 to lower left column, line 19; Fig. 2 (Family: none)	4, 5, 7, 9

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

Date of the actual completion of the international search 02 March, 2004 (02.03.04)	Date of mailing of the international search report 16 March, 2004 (16.03.04)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Faxsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16012

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2-139669 A (Mitsubishi Kogyo Sement Kabushiki Kaisha), 29 May, 1990 (29.05.90), Page 2, upper left column, line 7 to upper right column, line 1 (Family: none)	7, 9

国際調査報告

国際出願番号 PCT/JP03/16012

A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl' H01L25/065, 25/07, 25/18

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int.Cl' H01L25/065, 25/07, 25/18, 23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X <u>Y</u>	J P 5-343608 A (株式会社日立製作所) 1993.12.24, 第2欄第47行-第3欄第43行, 図2 (ファミリーなし)	1-3, 6, 8 4, 5, 7, 9
Y	J P 10-335574 A (日本電信電話株式会社) 1998.12.18, 全文, 全図 (ファミリーなし)	4, 5, 7, 9

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 02.03.2004	国際調査報告の発送日 16.3.2004
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 田中 永一 4R 9539 電話番号 03-3581-1101 内線 3469

C(続き)	関連すると認められる文献	関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	J P 62-134939 A (ソニー株式会社) 1987.06.18, 第2頁右上欄第12行—第左下欄第19行, 第2図 (ファミリーなし)	4, 5, 7, 9
Y	J P 2-139669 A (三菱鉱業セメント株式会社) 1990.05.29, 第2頁左上欄第7行—第右上欄第1行 (ファミリーなし)	7, 9